

I, the undersigned, who have prepared English translation which is attached herewith, hereby declare that the aforementioned translation is true and correct translation of the Abstract of the Korean Patent Publication No. 1992 20641 published on November 21, 1992.

October 26, 2007

Translator : Suk-Cheol Yang  
Suk Cheol Yang

KOREAN PATENT PUBLICATION NO. 1992-0020641

**METHOD OF FORMING INSULATING LAYER OF  
SEMICONDUCTOR DEVICE**

5           A method of forming an insulating layer of a semiconductor device includes performing a thermal oxidation process to form a first  $\text{SiO}_2$  layer, performing a chemical vapor deposition (CVD) process to coat a second  $\text{SiO}_2$  layer on the first  $\text{SiO}_2$  layer, performing an annealing process under an oxygen-containing ambient, and performing an annealing process under an  
10           inert gas ambient after injecting fluorine ions into the first and second  $\text{SiO}_2$  layers.

(19)대한민국특허청(KR)  
(12)공개특허공보(A)

(61) Int. Cl. <sup>a</sup>  
H01L 21/316

(11) 공개번호 록1992-0020641  
(43) 공개일자 1992년11월21일

(21) 출원번호                      특1992-0006770  
(22) 출원일자                      1992년 04월 22일

[30] 우연진주장	91-094352 1991년 04월 24일 일본(JP)
[71] 출원인	샤프 가부시끼가이샤 쓰지 하루오 일본국 모사카시 아베노구 나가이쥬쵸 22-22
[72] 발명자	미야타기 히사카츄 일본국 나라니 나라시 슈몬쵸 20립마 슈몬 201 부에다 다카시 일본국 나라니 나라시 코부쵸 2쵸메 17-12-202
[74] 대리인	김형철
심사청구: <u>예</u>	

## (54) 반드체장치외 절연타 제조방법

유오

내용 없음

455

51

 $GA^{-1}A$ 

[만화]의 덩치]

반도체 장치의 접연막 제조방법

[5.4.4]의 간단한 설명]

제 4. 는 본 양면의 효과를 예시하는 도식적 단면도

본 내용은 외부공개 건이므로 전문 내용을 수록하지 않았음.

## (57) 친구의 편지

친구 41

업소 차에 의해 시기판상에 제1  $\text{SiO}_2$ 막을 형성하는 공정과, CVD기(이하 상기 제1  $\text{SiO}_2$ 막 상에 제2  $\text{SiO}_2$ 막을 도포하는 공정과, 산소가 소용 흡수하는 분리기에서의 열처리와 상기 제1 및 제2  $\text{SiO}_2$ 막에 불소이온의 주입후 비활성 가스 분위기에서의 열처리를 포함하는 그들중에서 선택된 열처리로 상기 제1 및 제2  $\text{SiO}_2$ 막이 제공된 상기 시기판을 제공하는 공정을 포함하는 반도체장치의 절연막 제조방법

정규 분포

제 18 에 있어서, 산소가스를 함유하는 분위기에서의 살기 업처리용 살기 산소가스의 건조한 산소가스를 사용하고 약 30 ~ 60분 동안 900 ~ 1000℃에서 수열처리를 마도해 장치의 정온의 최종단계.

225 13

제 4 조 제 2항에 있어서, 상기 산소가스를 함유하는 분위기에서의 열처리를 비활성 가스 분위기의 고온에서 짧은 열처리가 이어지는 단계로 장치를 전환할 제2방법.

IPRIS(공개특허공보)

페이지 2

청구항4

제1항에 있어서, 상기 제2 SiO<sub>2</sub>막의 60Å 두께에 대해, 상기와 같은이온이 5KeV이하의 저가속 에너지와 약 10<sup>10</sup>/cm<sup>2</sup>의 도우즈에서 주입되는 반도체장치의 접연막 제조방법.

청구항5

제1항에 있어서, 비활성 가스분위기에서의 열처리온 비활성가스 분위기인 질소 또는 아르곤을 사용하고 아울러 약 30~60분 동안 900~1000℃에서 수행되는 반도체 장치의 접연막 제조방법

\* 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

